

BEST AVAILABLE COPY

An etch stop layer for dual damascene process

Patent number: TW416122
Publication date: 2000-12-21
Inventor: SOMEKH SASSON (US)
Applicant: APPLIED MATERIALS INC (US)
Classification:
- **International:** H01L21/768
- **European:** H01L21/768B2D
Application number: TW19980117913 19981028
Priority number(s): US19970995029 19971219

Also published as:

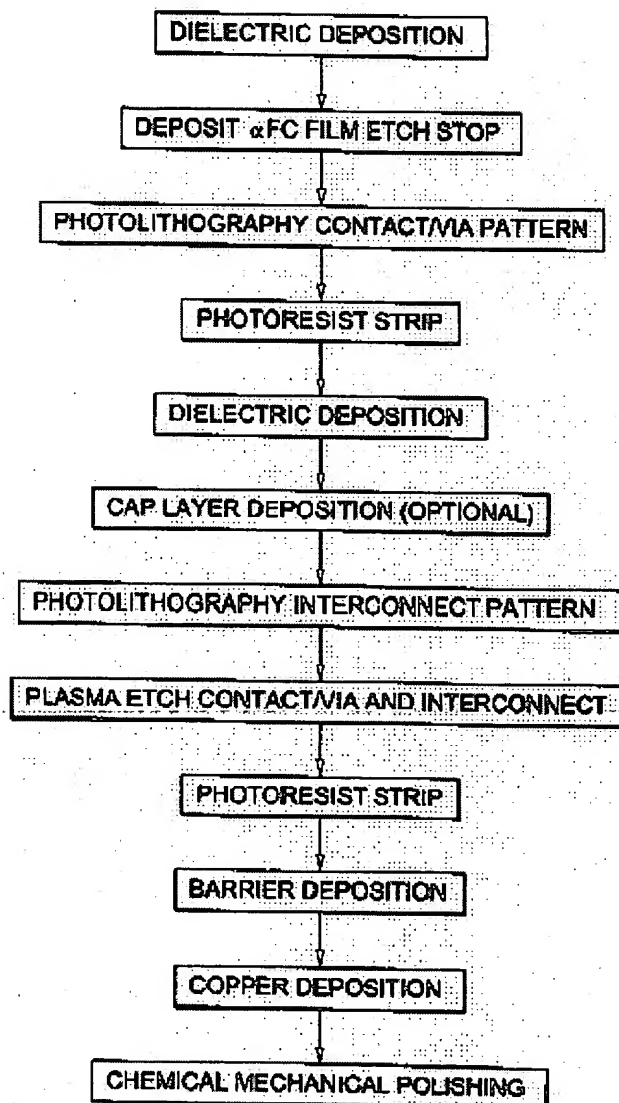


WO9933102 (A1)
US6291334 (B1)

Report a data error here

Abstract of TW416122

The present invention provides a carbon based etch stop, such as a diamond like amorphous carbon, having a low dielectric constant and a method of forming a dual damascene structure. The low k etch stop is preferably deposited between two dielectric layers and patterned to define the underlying interlevel contacts/vias. The second or upper dielectric layer is formed over the etch stop and patterned to define the intralevel interconnects. The entire dual damascene structure is then etched in a single selective etch process which first etches the patterned interconnects, then etches the contacts/vias past the patterned etch stop. The etch stop has a low dielectric constant relative to a conventional SiN etch stop, which minimizes the capacitive coupling between adjacent interconnect lines. The dual damascene structure is then filled with a suitable conductive material such as aluminum or copper and planarized using chemical mechanical polishing.



Data supplied from the **esp@cenet** database - Worldwide

公告本

416122

第 93128579 號
初審引証附件

申請日期	87.10.28
案 號	87112913
類 別	H01L 21/68

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書
新 型

416122

一、發明 新 型 名 稱	中 文	用於雙重鑲嵌製程之蝕刻停止層
	英 文	AN ETCH STOP LAYER FOR DUAL DAMASCENE PROCESS
二、發明 創 作 人	姓 名	山森索米克
	國 籍	美國
	住、居所	美國加州洛杉阿圖斯木迪路 25625 號
三、申請人	姓 名 (名稱)	美商·應用材料股份有限公司
	國 籍	美國
	住、居所 (事務所)	美國加州聖大克勞拉市波爾斯大道 3050 號
	代 表 人 姓 名	瓊西 J. 史維尼

裝

打

線

四、中文發明摘要(發明之名稱:)

用於雙重鑲嵌製程之蝕刻停止層

本發明提供了一碳基底之蝕刻停止層，例如類似鑽石結構之非晶碳，具有低介電常數及形成一雙重鑲嵌結構之方法。此低k值蝕刻停止層最好沉積於兩層介電層之間並加以蝕刻製程以定義出底層的內層接觸窗/介層窗。第二或上層介電層在蝕刻停止層之上形成並且加以蝕刻定義出內層之內連接。整個雙重鑲嵌結構接著以單一的選擇性蝕刻步驟首先蝕刻圖案化之內連線，然後蝕刻接觸窗/介層窗經過圖案化之蝕刻停止層。蝕刻停止層和傳統之氮化矽蝕刻停止層比較具有較低的介電常數，其可減小鄰近內連線之間的電容耦合。雙重鑲嵌結構接著填入適當的導體材料例如鋁或銅，且利用化學機械研磨加以平坦化。

英文發明摘要(發明之名稱:)

AN ETCH STOP LAYER FOR DUAL DAMASCENE PROCESS

The present invention provides a carbon based etch stop, such as a diamond like amorphous carbon, having a low dielectric constant and a method of forming a dual damascene structure. The low k etch stop is preferably deposited between two dielectric layers and patterned to define the underlying interlevel contacts/vias. The second or upper dielectric layer is formed over the etch stop and patterned to define the intralevel interconnects. The entire dual damascene structure is then etched in a single selective etch process which first etches the patterned interconnects, then etches the contact/vias past the patterned etch stop. The etch stop has a low dielectric constant relative to a conventional SiN etch stop, which minimizes the capacitive coupling between adjacent interconnect lines. The dual damascene structure is then filled with a suitable conductive material such as aluminum or copper and planarized using chemical mechanical polishing.

416122

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利,申請日期: 案號: ☒有 ☐無主張優先權

本案已向美國申請專利;申請日:1997年12月19日 案號:08/995,029號

有關微生物已寄存於: 寄存日期: 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明領域：

本發明一般係有關於基材上之積體電路之製造，且更特別的是，本發明係有關於一新的蝕刻停止層和在內連線之間形成低電容值之雙重鑲嵌結構之製程。

發明背景：

在最近十年中積體電路之設計和製造持續且可預期的有相當的進步。其中一個改良成功之關鍵為多層內連線技術，此技術提供了積體電路(IC)元件之裝置間的導電路徑。大型積體電路(VLSI)和超大型積體電路(ULSI)之技術中，水平內連線(通常稱之為線(line))和垂直內連線(通常稱之為接觸窗或介層窗；接觸窗延伸到基材之底層上之元件，而介層窗則延伸到底層之金屬層如 M1, M2, 等)之尺寸降低對於特別是內連線間電容之耦合的減小顯得愈來愈重要。為了更要改善半導體元件在積體電路上之速度，則需要利用具有低阻抗之導電材料和低 k 值(介電常數 <4.0)之絕緣體以降低鄰近金屬線之間的電容耦合。例如，現在已考慮以銅來替代鋁，因為銅具有較低之阻抗及較高的電流攜帶能力。而且，比二氧化矽(介電常數 ~4.0)具有較低介電常數之介電材料也已慎重的考慮用於元件之生產。這些介電材料中其中一個例子為摻雜有氟之二氧化矽，也稱之為摻雜氟之矽玻璃(FSG)(介電常數 ~3.5-3.7)。

然而，這些材料卻在 IC 製造程序中產生了新的問題。

五、發明說明()

例如，由於銅很難蝕刻成精密的圖案，傳統的沉積/蝕刻製程以形成內連線變成不可行，此外，有一種稱作雙重鑲嵌(dual damascene)之製程乃用來形成銅之內連線。在一雙重鑲嵌之製程中，介電層乃蝕刻以定義出接觸窗/介層窗兩者及內連線。金屬接著乃嵌入所定義之圖案，且任何頂端超出結構外的金屬乃利用如化學機械研磨(CMP)之方法來加以平坦化而移除。

第 1a 圖到第 1c 圖例舉了利用形成於基材 12 之上的單一(厚的)電介層 10 用於雙重鑲嵌結構之製造方法。如第 1a 圖中所示的，介電層 10 乃利用一限時蝕刻製程來加以圖案化以定義出內連線 20。垂直內連線 16(也就是接觸窗/介層窗)乃接著在內連線之底部中加以圖案化(第 1b 圖)並蝕刻以曝露出底層之導電或半導體層如基材 12(第 1c 圖)。具有接觸窗/介層窗 16 和內連線 20 之蝕刻結構乃填入導體材料且上半表面加以平坦化。然而，限時蝕刻步驟之深度很難加以控制，且在內連線溝渠中之接觸窗/介層窗之圖案化也是很難執行的製程。

第 2a 和 2b 圖例舉了另一個用來製造雙重鑲嵌結構之方法。如第 2a 圖中所示的，一單一(厚的)介電層 10 乃形成於基材 12 之上，且接觸窗/介層窗 16 利用限時蝕刻製程加以圖案化且部分的蝕刻到介電層 10 之中。內連線 20 接著加以圖案化且使用第二限時蝕刻來形成內連線之溝渠，如第 2b 圖中所示。在此第二限時蝕刻步驟中，接觸窗/介層窗 16 乃蝕刻到額外的深度，足夠讓接觸窗/介層窗

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 ()

垂直的延伸到其所想要的深度，如圖中的虛線所示。然而，此限時蝕刻步驟還是很難加以控制，因而此製程對商業化製造來說較無吸引力。

第三個及更多其它較佳的方法利用兩步驟之介電層沉積及一蝕刻停止層沉積於其中之雙重鑲嵌結構製造方法則如第3圖中所示。第一介電層10沉積於基材之上且接著一蝕刻停止層14乃沉積於第一介電層之上。蝕刻停止層接著加以圖案化以定義出接觸窗/介層窗16的開口。一第二介電層18然後再沉積於圖案化之蝕刻停止層之上，且接著圖案化以定義出內連線20。因此只執行一次蝕刻製程來定義出蝕刻停止層以下之內連線，且由蝕刻停止層圖案所曝露的未被保護之介電材料以定義出接觸窗/介層窗。

氮化矽為所選擇之蝕刻停止層材料。然而，配置於介電層之間的氮化矽係在內連線之間的邊緣場之中。氮化矽和周圍之介電層比較起來具有相當高的介電常數(介電常數~7)，且可以發現到氮化矽可以非常有效的增加內連線之間耦合的電容，即便一相當低k值之介電材料乃做為主要的絕緣體。如此則產生了串擾訊號及/或電阻-電容(RC)延遲，並和元件之整體效能有關。

因此，極需要一個形成雙重鑲嵌之製程並在內連線之間有降低的電容耦合。

(請先閱讀背面之注意事項再填寫本頁)

訂

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明目的及概述：

本發明提供了一製造程序和蝕刻終止材料，其可讓雙重鑲嵌結構更為可靠，並減小蝕刻停止層對內連線之間的電容耦合的影響。在一實施例中，一低k值之介電薄膜，例如一非晶碳(α -C)或非晶碳氟化物(α -FC)薄膜用來做為內金屬介電質(IMD)之下的蝕刻停止層。其它的低k值材料例如聚對-二甲苯基， AF_4 ，BCB，PAE，氮氧化物和碳化矽也可加以利用。

本發明較佳的製造程序至少包含沉積例如氮化矽玻璃(FSG)層之第一介電層於一基材上，沉積例如 α -FC層之低k值介電停止層於第一介電層之上，將蝕刻停止層圖案化以定義出接觸窗/介層窗，沉積例如FSG之第二介電層，在第二介電層之上圖案化一阻抗層以定義出一或多個內連線，且蝕刻內連線和接觸窗/介層窗。在最後的蝕刻步驟中內連線乃蝕刻到蝕刻停止層，且接著繼續加以蝕刻並經過圖案化後的蝕刻停止層以定義出接觸窗/介層窗。一旦雙重鑲嵌結構形成之後，最好在將此結構填入銅之前先均勻的沉積一層阻障層，以便隔離銅和其它的材料，例如矽。而上表面則利用化學機械研磨技術加以平坦化。

圖式簡單說明：

由上面之陳述將可達到本發明的特徵，優點和目的，而且經由參考實施例及後面之附圖之後，更可詳細的瞭解本發明。

五、發明說明 ()

或低於氮化矽之介電常數(介電常數 ~ 7.0)的蝕刻停止層。依照本發明所製造之雙重鑲嵌結構顯示於第 4h 圖，而此結構之製造方法則依序在第 4a-4h 圖中描繪出來，此些圖中的基材截面視圖中係以本發明之步驟所形成。

如第 4a 圖中所顯示的，最初之第一介電層 10，例如 FSG，氧化矽層，或類似的材料，乃於基材 12 之上沉積約 5000 到約 10000Å 之厚度，並和所要製造之結構的尺寸有關。如第 4b 圖中所示的，低 k 值之蝕刻停止層 14，例如 α -C， α -FC，聚對-二甲苯基， AF_4 ，BCB，PAE，氮氧化物或碳化矽等材料，接著在第一介電層上沉積約 200 到約 1000Å 之厚度。低 k 值蝕刻停止層 14 接著加以圖案化並蝕刻而定義出接觸窗/介層窗開口 16，且曝露出接觸窗/介層窗所要形成之第一介電層 10 的面積，如第 4c 圖中所示。低 k 值之蝕刻停止層 14 最好利用傳統的微影和蝕刻製程以氟，碳，和氧離子加以圖案化並蝕刻。在低 k 值之蝕刻停止層 14 已加以蝕刻而形成接觸窗/介層窗的圖案且光阻也移除之後，第二介電層 18 則沉積於蝕刻停止層 14 之上約 5000 到約 10000Å 之厚度，如第 4d 圖中所示。第二介電層 18 接著加以圖案化以定義出內連線 20，且最好是利用傳統之微影製程及光阻層 22，如第 4e 圖中所示。內連線和接觸窗/介層窗接著利用離子反應蝕刻或其它的非等向性蝕刻技術加以蝕刻以定義出金屬層結構(也就是內連線和接觸窗/介層窗)，如第 4f 圖中所示。任何光阻或其它用來圖案化並蝕刻停止層 14 或第二介電層 18 的材料

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

光阻間的內連線開口。接著將基材移回 IPS 反應室，將基材曝露在多碳，無氧氣，氟-碳蝕刻環境之下以單一步驟蝕刻整個雙重鑲嵌結構。FSG 層最好是以 C_3F_8 或 C_3F_6 和氬氣之電漿非等向性蝕刻，因此內連線和接觸窗/介層窗乃形成相當直的側壁且沒有底切。加入少量的氬氣以保護側壁。一旦內連線蝕刻到圖案化之 α -FC 層，則蝕刻乃實質的限制到已圖案化之接觸窗/介層窗。在蝕刻完兩層 FSG 層之後的終點偵測最方便的是由光學偵測蝕刻副產品氣體。在內連線之蝕刻完成之後，剩下的光阻層利用氧氣電漿加以剝離。

鈦，氮化鈦，及其組合之阻障層，或其它合適之阻障層最好在圖案化之雙重鑲嵌結構之上形成，且接著在此結構之上填入銅。其中一個將此結構中填入銅的方法提供了利用 CVD 技術將接觸窗/介層窗填入銅，且接著利用 PVD 技術將此結構剩下的體積填入銅。然而，任何適當的充填方法例如 CVD，PVD(包括高密度電漿 PVD)，電子被覆或其組合都可以使用。然後在沉積其它鍍層之前用化學機械研磨法或其它的平坦化製程將其平坦化。

如第 4h 圖中所示的，一銅的雙重鑲嵌結構具有位於內連線 26 之間的低 k 值蝕刻停止層 14 乃加以形成。蝕刻停止層 14 之低 k 值特性可預防內連線之間的串擾訊號和增加 RC 延遲，而影響到元件的速度。

另外的 α -C 和 α -FC 蝕刻停止層包括其它的碳基材料。特別的是，有許多碳基材料適合做氧化內金屬介

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明()

電層之蝕刻停止層。這樣的材料其介電常數也低於氮化矽(氮化矽)將可降低內連線之間的電容耦合。此類不同的碳基底薄膜包括聚對-二甲苯基和相關的材料，例如聚對-二甲苯基-N和 AF_4 ，BCB spin-on，PAE，氮氧化物和碳化矽。

由於前述內容乃導向本發明之較佳實施例，本發明之其它和更進一步的實施例也可在不偏離本發明之範圍下得之，而其範圍則由下面之申請專利範圍所決定。

etch stop layer thickness $200 \text{ \AA} \sim 1000 \text{ \AA}$
C-based

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

1. 一種形成雙重鑲嵌結構之方法，該方法至少包含：

沉積一第一介電層於一基材上；

沉積一低 k 值蝕刻停止層於該第一介電薄膜之上；

蝕刻製程該低 k 值蝕刻停止層以定義出垂直內連線開口並曝露出第一介電薄膜；

沉積一第二介電薄膜於低 k 值蝕刻停止層和曝露之第一介電薄膜之上；及

蝕刻製程該第二介電薄膜以定義出水平的內連線，且繼續的蝕刻曝露的第一介電薄膜以定義出垂直的內連線。

2. 如申請專利範圍第 1 項所述之方法，其中上述之低 k 值蝕刻停止層係從包含 α -FC， α -C，聚對-二甲苯基， AF_4 ，BCB，PAE，氮氧化物，碳化矽和其組合所組成之群集所選擇出來。

3. 如申請專利範圍第 1 項所述之方法，其中上述之介電層至少包含摻雜氮原子之矽玻璃且低 k 值蝕刻停止層至少包含 α -FC。

4. 如申請專利範圍第 3 項所述之方法，其中更包含了在沉積低 k 值蝕刻停止層之前和之後沉積一氧化物阻障層。

5. 如申請專利範圍第 1 項所述之方法，其中上述之蝕刻水

(請先閱讀背面之注意事項再填寫本頁)

訂

檢

416122

六、申請專利範圍

平和垂直內連線係為單一步驟蝕刻程序。

6.如申請專利範圍第1項所述之方法，其中上述之低k值蝕刻停止層為 α -FC。

7.如申請專利範圍第6項所述之方法，其中上述之 α -FC蝕刻停止層之沉積係由還自至少包含 CH_4 ， C_2H_4 ， C_2H_6 ， C_6H_6 ， CF_4 ， C_2F_6 ， C_3F_8 ， C_4F_8 ， CHF_3 和其組合之氣體群集中。

8.如申請專利範圍第6項所述之方法，其中上述之 α -FC蝕刻停止層之沉積係來自至少包含 C_4F_8 和 CH_4 氣體。

9.一種形成雙重鑲嵌結構之方法，該方法至少包含下列步驟：

沉積第一介電薄膜於一基材上；

沉積一低k值蝕刻停止層於第一介電薄膜之上；

圖案化第一光阻層以定義出一或多個垂直的內連線開口；

蝕刻製程該低k值介電停止層以定義出一或多個垂直內連線開口並曝露出該第一介電薄膜；

剝離該第一光阻層，並以氧氣電漿為之；

沉積第二介電薄膜於該低k值介電蝕刻停止層和該曝露之第一介電薄膜之上；

(請先閱讀背面之注意事項再填寫本頁)

訂

檢

六、申請專利範圍

沉積第二光阻層於該第二介電薄膜之上；

圖案化該第二光阻層以定義出一或多個水平的內連線；

蝕刻製程該第二介電薄膜以定義出一或多個水平之內連線，且繼續的蝕刻該第一介電薄膜以定義出一或多個垂直內連線。

10.如申請專利範圍第 9 項所述之方法，其中上述之低 k 值蝕刻停止層係選自至少包含 α -FC， α -C，聚對-二甲苯基， AF_4 ，BCB，PAE，氮氧化物，碳化矽和其組合之群集中。

11.如申請專利範圍第 9 項所述之方法，其中上述之介電層至少包含摻雜氟離子之矽玻璃且該低 k 值蝕刻停止層至少包含 α -FC。

12.如申請專利範圍第 11 項所述之方法，其中更包含了在沉積該低 k 值蝕刻停止層之前和之後沉積一氧化物阻障層。

13.如申請專利範圍第 9 項所述之方法，其中上述之蝕刻水平和垂直內連線為單一步驟蝕刻程序。

14.如申請專利範圍第 9 項所述之方法，其中上述之低 k

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

- 19.如申請專利範圍第 18 項所述之結構，其中上述之第一和第二介電層所組成之材料係選自摻雜氮之氧化矽，氧化矽或其組合。
- 20.如申請專利範圍第 17 項所述之結構，其中上述之低 k 值蝕刻停止層至少包含的材料係選自 α -FC， α -C，聚對-二甲苯基， AF_4 ，BCB，PAE，氮氧化物，碳化矽和其組合。
- 21.如申請專利範圍第 19 項所述之結構，其中上述之一或多個垂直內連線和該一或多個水平內連線所組成之材料係選自鋁，銅，鎢和其組合。
- 22.如申請專利範圍第 21 項所述之結構，其中更包含了配置於該低 k 值介電層和金屬層之間的阻障層。
- 23.如申請專利範圍第 22 項所述之結構，其中上述之阻障層係由鈦，氮化鈦，氮化矽或其組合所組成。
- 24.一種蝕刻停止層，至少包含一碳基底之材料且具有小於 7 之介電常數。
- 25.如申請專利範圍第 24 項之蝕刻停止層，其中上述之碳基材料係選自至少包含 α -FC， α -C，聚對-二甲苯

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

基， AF_4 ，BCB，PAE，氮氧化物，碳化矽和其組合之群集中。

26.一種碳基底之薄膜，具有低於氮化矽之介電常數，用於矽基底內金屬介電層之下的蝕刻停止層。

27.一種碳基底之薄膜，具有低於氮化矽之介電常數，用於雙重鑲嵌結構中之矽基底內金屬介電層之下的蝕刻停止層。

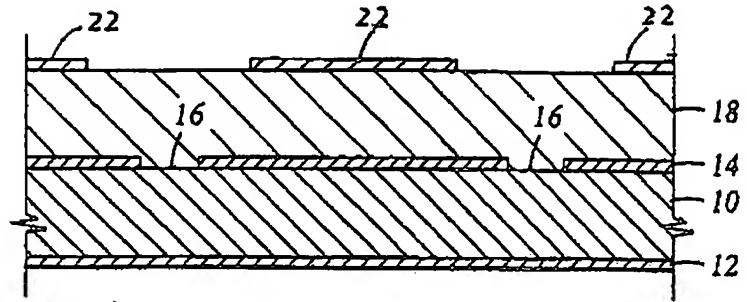
(請先閱讀背面之注意事項再填寫本頁)

訂

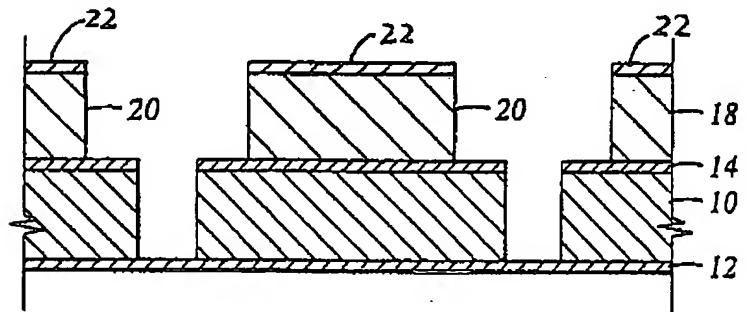
線

89 年 9 月 9 日 修正
補充

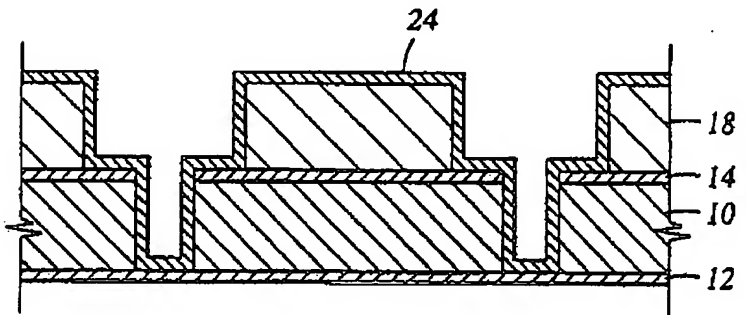
第 4e 圖



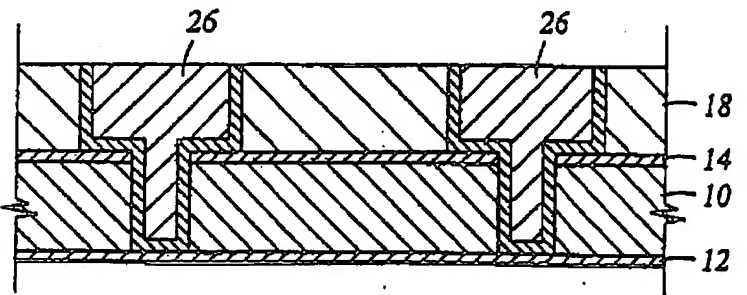
第 4f 圖

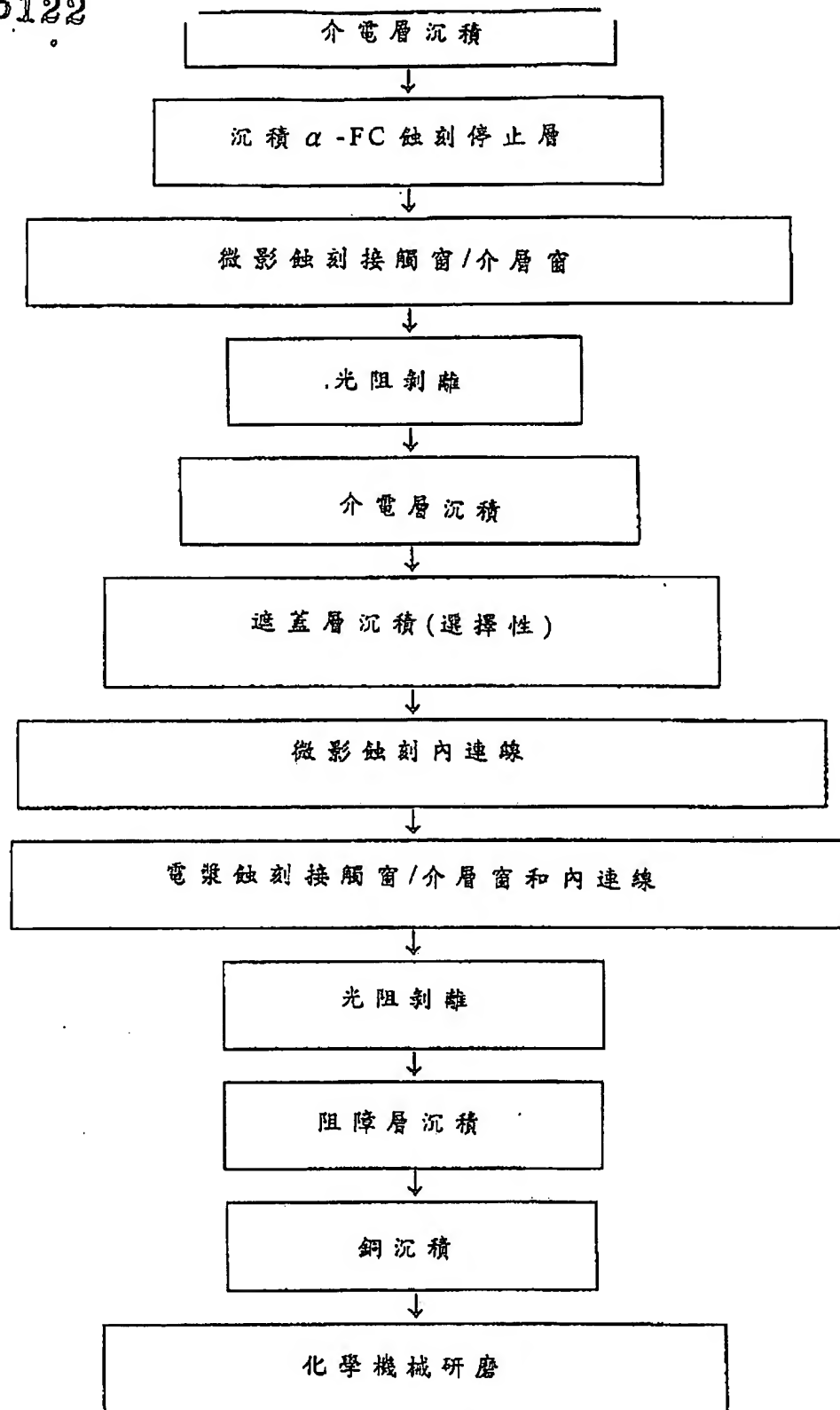


第 4g 圖



第 4h 圖





第 5 圖

This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.